

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-7162

(43)公開日 平成7年(1995)1月10日

(51)Int.Cl. <sup>6</sup>	識別記号	府内整理番号	F I	技術表示箇所
H 01 L 29/84	B	9278-4M		
G 01 L 1/14	A			
9/12				

審査請求 未請求 請求項の数18 OL (全10頁)

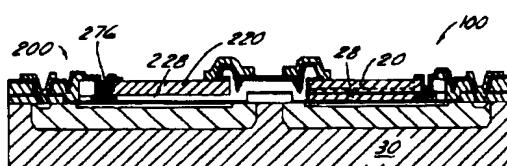
(21)出願番号	特願平6-66261	(71)出願人	590002987 フォード モーター カンパニー アメリカ合衆国ミシガン州デイアボーン, ジ アメリカン ロード (番地なし)
(22)出願日	平成6年(1994)4月4日	(72)発明者	カルロス オラシオ マストランジェロ アメリカ合衆国ミシガン州アン アーバ ー, ウィスバーウッド ドライブ 3025
(31)優先権主張番号	043044	(74)代理人	弁理士 横村 雄 (外3名)
(32)優先日	1993年4月5日		
(33)優先権主張国	米国(US)		

(54)【発明の名称】 微細加工されたSOI容量表面を有する絶対圧容量センサ

(57)【要約】

【目的】 可変形単結晶ダイアフラムを有する容量トランスジューサの形成方法および構造を提供する。

【構成】 犀性層31および単結晶シリコン層20aを有するSOIウェーハの半導体基板30内に第1のウェル領域を形成し、シリコンエピタキシャル層を堆積させて可撓単結晶膜を形成し、エッチングにより可撓ダイアフラム20を画定する。絶縁共形的(conformal)支持層を堆積させて犠性層を封止し、ダイアフラムのアクセス開口からエッチャントを挿入して犠性層を除去しダイアフラム空洞を画定する。ダイアフラムの対向部および基板の第1ウェルへ導電イオンを拡散して感知キャバシタ100の固定および可変形電極を画定する。次にアクセス開口にプラグを堆積させて封止する。周囲圧とダイアフラム封止圧間の変動に応答したダイアフラムの偏位により第1ウェル領域とダイアフラムの導電領域間の容量が対応して変化する。



## 【特許請求の範囲】

【請求項1】 容量センサであって、

第1の電極として機能する第1の導電領域が内部に画定されている半導体材料の基盤ベースと、

前記第1の電極に一般的に隣接するように前記ベース上の所定厚の犠牲層上に成長させた単結晶シリコン層からなる可撓性ダイアフラムであって、第2の電極として前記第1の電極と協同して前記ダイアフラムの相対変位に応じて変動する容量を有するキャパシタをその間に形成する可撓性導電領域を含む前記可撓性ダイアフラムと、前記ベースおよび前記ダイアフラムに連結され、前記犠牲層を除去した後で前記ダイアフラムの周辺部を前記所定厚だけ前記ベースよりも上で支持してその間に封止されたダイアフラム空洞を形成する絶縁支持体と、

前記ダイアフラムを貫通して前記ダイアフラム空洞につながる孔と、

前記孔内で前記ダイアフラム空洞を封止して前記ダイアフラム空洞内の圧力により前記ダイアフラム上に所定の加圧応力が誘起されるように連結されたプラグを具備し、周囲圧力の変化により前記ダイアフラムが偏位して前記第1および第2の電極間の容量が対応して変化することを特徴とする容量センサ。

【請求項2】 請求項1記載の容量センサであって、前記プラグはさらに前記ダイアフラム空洞の封止剤としてSiNを含むことを特徴とする容量センサ。

【請求項3】 請求項1記載の容量センサであって、前記第1の導電領域および前記第1の可撓導電領域は導電ドーパント材を含む拡散電極により構成されることを特徴とする容量センサ。

【請求項4】 請求項3記載の容量センサであって、さらに前記第1および第2の電極の少くとも一方の表面上に堆積された電気絶縁層を含み、前記ダイアフラムの偏位により前記ベースと接触する場合に電気的短絡が防止されることを特徴とする容量センサ。

【請求項5】 請求項3記載の容量センサであって、所定厚の前記犠牲層はシリコン・オン・シンシュレータ(SOI)ウェーハ内のシリコン酸化物により構成されることを特徴とする容量センサ。

【請求項6】 請求項5記載の容量センサであって、前記所定厚は0.5~1.0μmの範囲であることを特徴とする容量センサ。

【請求項7】 請求項5記載の容量センサであって、さらに対応する対とされた基準容量センサを含み、該基準容量センサは前記半導体材の基盤ベース内に拡散されて前記第1の導電領域から間隔をとつて一般的に隣接する基準電極を形成する基準導電領域と、前記ベース上の所定厚の前記犠牲層上に一般的に前記基準導電領域に隣接するよう成長させた単結晶シリコン層からなり、前記基準電極と協同して周囲圧の変化に応答して変化することのない容量を有する基準キャパシタ

をその間に形成する第2の可撓性導電領域を含む第2の可撓性ダイアフラムと、

前記ベースおよび前記第2のダイアフラムに連結され、前記犠牲層を除去した後で前記第2のダイアフラムの周辺を前記所定厚だけ前記ベースの上で支持してその間に第2のダイアフラム空洞を形成する第2の絶縁支持体と、

前記第2のダイアフラムを貫通して前記第2のダイアフラム空洞内につながる第2の孔と、

10 前記第2の孔内に連結され前記第2のダイアフラム空洞の呼吸を許しながら前記第2の孔を通る固体を選別し、基準キャパシタの標準容量が周囲圧の変化に無関係となるようにする第2のプラグ、を具備することを特徴とする容量センサ。

【請求項8】 請求項7記載の容量センサであって、前記基準導電領域および前記第2の可撓性導電領域は導電ドーパント材を含む拡散電極により構成されることを特徴とする容量センサ。

【請求項9】 請求項8記載の容量センサであって、前記基準導電領域、前記第2の可撓性ダイアフラム、前記第2の可撓性導電領域、および前記第2のダイアフラム空洞は前記第1の導電領域、前記第1の可撓性ダイアフラム、前記第1の可撓性導電領域、および前記第1のダイアフラム空洞を含む対応する素子と一般的に同じ物理的構造を有することを特徴とする容量センサ。

【請求項10】 容量トランジスタの製造方法であって、

(a) 顶部シリコン層および公知の厚さの中間犠牲層を有するSOIウェーハの基盤内に選択的に第1のウェルを

30 形成し、  
(b) 前記顶部シリコン層と組合せて前記犠牲層により支持される単結晶シリコン層を形成するシリコンエピタキシャル層を前記顶部シリコン層上に堆積させ、

(c) 前記エピタキシャル層および前記犠牲層をマスキングし前記基板までエッチングして前記エピタキシャル層からダイアフラムを画定し、

(d) 前記ダイアフラムに連結してそれを前記基板の上で支持しその間の前記犠牲層を封止するための電気絶縁等角支持層を堆積し、

(e) 前記ダイアフラムに選択的にアクセス開口をエッチングし、

(f) 前記アクセス開口を選択的にエッチングし、前記ダイアフラムと前記基板との間の前記犠牲層を除去して、前記犠牲層の前記公知の厚さに実質的に等しい厚さのダイアフラム空洞をその間に形成し、

(g) 前記ダイアフラム空洞を介して前記可撓性ダイアフラムおよび前記基板の対向部へ導電イオンを拡散させて容量トランジスタの可変形および固定導電電極を画定し、

50 (h) 前記ダイアフラム空洞の体積を著しく低減させるこ

となく前記アクセス開口に選択的にプラグを堆積させて封止する。

ステップからなり、

周囲圧と前記ダイアフラム空洞内の封止圧間の変動に応答した前記可撓性ダイアフラムの偏位により前記固定および可変形電極間の容量が対応して変化するようにしたことを特徴とする容量トランジスタ製造方法。

【請求項11】 請求項10記載の方法であって、ステップ(a)には前記公知の厚さの前記SiO<sub>2</sub>犠牲層をシリコン基板上に堆積し、次に前記可撓性ダイアフラムの厚さよりも薄い厚さの単結晶シリコンエピタキシャル層を前記犠牲層上に成長させることにより前記SOIウェーハを形成する予備ステップが含まれることを特徴とする容量トランジスタ製造方法。

【請求項12】 請求項11記載の方法であって、前記犠牲層は0.2~1.0μmの公知の厚さに堆積することを特徴とする容量トランジスタ製造方法。

【請求項13】 請求項10記載の方法であって、ステップ(c)にはさらに前記エピタキシャル層および前記犠牲層をエッチングして前記基板を露出させるステップが含まれ、

ステップ(d)にはさらにLTOの共形層(*conformal layer*)を堆積させて前記基板に連結され前記犠牲層の周辺を取り囲むベース部を形成し、かつ前記エピタキシャル層の少くとも一部に連結され固定されてその支持体を提供する縁部を形成し、前記犠牲層を除去した後で前記ダイアフラムが前記基板の上に前記公知の厚さだけ間隔をとって支持されるステップが含まれることを特徴とする容量トランジスタ製造方法。

【請求項14】 請求項13記載の方法であって、ステップ(d)はさらに前記基板を前記エピタキシャル層に封止するステップを含むことを特徴とする容量トランジスタ製造方法。

【請求項15】 請求項10記載の方法であって、ステップ(f)はさらに、前記アクセス開口を介してウェットエッチング溶液を挿入して前記犠牲層を除去し、 rinsing solutionにより前記ダイアフラム空洞内から前記ウェットエッチング溶液を除去し、前記溶液の除去による前記ダイアフラムの毛管偏位を防止するために前記ダイアフラム空洞内の前記ウェット溶液を凍結乾燥し、前記ダイアフラム空洞から昇華により前記凍結された溶液を除去する、サブステップからなることを特徴とする容量トランジスタ製造方法。

【請求項16】 請求項10記載の方法であって、さらに前記アクセス開口を介して絶縁材を挿入して前記ダイアフラム空洞を画定する前記エピタキシャル層および前記基板の表面上に絶縁層を堆積するステップを含むこと

を特徴とする容量トランジスタ製造方法。

【請求項17】 請求項10記載の方法であって、ステップ(g)はまた前記エピタキシャルおよび前記基板層へ導電n+キャリアを拡散させて前記固定および前記導電電極の拡散構造を形成するステップを含むことを特徴とする容量トランジスタ製造方法。

【請求項18】 請求項10記載の方法であって、ステップ(h)には、

前記基板上の一般的に隣接する共通処理容量トランジスタ対を識別しかつ一方のトランジスタを基準トランジスタとして識別し、

前記ダイアフラム空洞を封止する前記プラグを受け入れないように前記基準トランジスタの前記アクセス孔を選択的にマスクする、

予備ステップを含み、さらに、

(i) 前記基準トランジスタ内の前記アクセス孔を被覆する前記マスクを選択的に除去し、

(j) 固体の通過を遮断しながら前記ダイアフラム空洞内へガスを通すことができるガス浸透性プラグを、前記ダイアフラム空洞を被覆したりその体積を実質的に低減することなく前記アクセス開口内に選択的に堆積する、付加ステップを含むことを特徴とする容量トランジスタ製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【産業上の利用分野】 本発明は一般的に半導体処理技術の分野に関し、特に半導体基板上に形成された可撓性単結晶ダイアフラムを有する絶対圧センサに関する。

##### 【0002】

【従来の技術】 グッケル(Guckel)等の米国特許第4,744,863号には半導体基板上の犠牲酸化物柱上に形成された可撓性ポリシリコン可変形ダイアフラムを使用した封止空洞半導体圧力トランジスタが開示されている。犠牲柱には基板に沿って柱の周辺を越えて延在する複数のウェブ状付属肢が含まれている。ダイアフラム材を柱上に共形的に(*conformally*)堆積させた後で、ダイアフラム材の周辺をエッチングにより除去して犠牲酸化物が露呈される。次にダイアフラム空洞を画定するために可撓性ダイアフラムの下の犠牲酸化物がエッチングにより除去される。次にダイアフラム空洞を形成するために、犠牲酸化物をエッチングにより除去した後でダイアフラム周辺に形成された孔が封止される。

【0003】 その実施例では可撓性ダイアフラム上に配置された抵抗性その他の流路センサの使用が教示される。ダイアフラム空洞内の封止圧に対して周囲圧が変化する場合に、これらの抵抗の抵抗値は可撓性ダイアフラムの変形に比例して変化する。第6欄、第47~63行にはダイアフラムの偏位に応答して容量が変化するよう容量センサの2枚のプレートを保持する構造の使用が

記載されている。

#### 【0004】

【発明が解決しようとする課題】従来技術とは対照的に、SOI (Silicon-on-insulator) ウェーハ上の犠牲酸化物層の厚さが、形成されるダイアフラム空洞の厚さとほぼ等しい、SOI基板上にエピタキシャル形成される単結晶シリコンダイアフラムを利用することが本発明の一つの目的である。SOIウェーハ上の制御性の高い二酸化シリコン被覆を使用すれば寄生容量を最少限に抑えた適度の動作容量を有するキャパシタが得られる。

【0005】さらに、ダイアフラム構造の出発材料としてシリコン薄膜を使用すればセンサには単結晶ダイアフラムのあらゆる特性および利点が含まれることが保証される。単結晶ダイアフラムの機械的特性は他のシリコン材および構造の機械的特性よりも遙かに予想可能であり、したがって単結晶ダイアフラムを有するセンサは遙かに厳しい公差および性能仕様で製造することができる。最後に、本製造行程ではダイアフラムのためのパターン化構造を固着する必要がない。

#### 【0006】

【課題を解決するための手段】可変形膜を有する容量トランスジーサを形成するシリコンマイクロマシン方法および構造である。公知の厚さの犠牲層およびその上のシリコン層を有するSOI (silicon-on-insulator) ウェーハ等の半導体基板内に第1のウェル領域が形成される。次に増厚単結晶膜を形成するためにSOIウェーハ上にシリコン層がエピタキシャル堆積される。エピタキシャル層および犠牲層がマスクされエッチングされてSOI基板上に可撓性ダイアフラムが画定される。電気絶縁共形 (conformal) 支持層が基板上に堆積されダイアフラム層に固着されて両者間の犠牲層が封止される。比較的小さなアクセス開口がエッチングによりエピタキシャル層に貫通され、次に犠牲層を除去するためにアクセス開口を介してエッチャントが挿入され、エピタキシャル層と基板との間にダイアフラム空洞が画定される。ダイアフラム空洞の厚さはSOIウェーハ上の犠牲酸化物の厚さに実質的に等しい。次に、アクセス開口を介してダイアフラム空洞内に導電性ドーパントが拡散されて基板内のウェル内に第1の拡散導体が形成され可撓性ダイアフラムの対向面内に第2の拡散導体が形成される。次に、ダイアフラム空洞の堆積を実質的に低減することなくプラグが選択的にアクセス開口内に堆積されてこれを封止する。このようにして、ダイアフラム空洞内の封止圧と周囲圧との間の変動に応答した可撓性ダイアフラムの偏位により、容量センサを形成する第1および第2の拡散導体間にに対応する容量変化が生じる。

#### 【0007】

【実施例】本発明は絶対ガス圧の測定に適した容量性表

面微細加工センサに関する。この構造はシリコン基板上およそ $0.2\text{ }\mu\text{m}$ に吊着された単結晶シリコン・オン・インシュレータダイアフラムからなっている。大気圧センサの設計については圧力範囲は14 PSI、公称容量は $1.1\text{ Pf}$ でフルスケールスパンは $0.26\text{ Pf}$ である。整合基準キャパシタを含む各デバイスの占有面積は僅か $0.17\text{ mm}^2$ にすぎない。

【0008】絶対圧トランスジーサの基本的設計は図1および図2に示す2枚プレートキャパシタ100である。キャパシタの頂部プレートはシリコン・オン・インシュレータ(SOI) ウェーハ上の頂部シリコン膜でできた可撓性ダイアフラム20であり、固定電極30は基板である。頂部電極は一定圧の密閉空洞28を形成する。内部空洞28とセンサ外部の圧力差により頂部電極が偏位する。このトランスジーサは大概のバルクシリコン微細加工圧力センサのように111面の伝搬に必要な面積を使用しない。その結果、その面積は極めて小さくなる。レシオメトリック測定のために開封整合基準キャパシタ200が含まれており、それは浸透性ポリイミドシール276を含んでいる。

【0009】ダイアフラム材として犠牲層として作用する二酸化シリコン薄層上の(100結晶格子配向を有する) 単結晶シリコンが選定される。この材料はボンディングおよび埋込酸化物層のイオン打込みを含むいくつかの技術により形成することができる。

【0010】実施例では、電極間隔に等しい酸化物厚を有するブランクSOIウェーハが種材として使用される。固定トランスジーサ素子の残りの部分は薄膜の堆積により構成される。この設計により表面マイクロマシニングのトポロジカルな万能性だけでなく単結晶材料の公知の機械的特性を利用して小型単結晶ダイアフラム圧力センサが構成される。単結晶ダイアフラムを含む旧来の設計ではバルクマイクロマシニングおよびウェーハボンディングに依らなければ製造できずより大型の構造となっていた。

【0011】電極ギャップは数百ナノメータでありデバイス容量は $1\sim2\text{ Pf}$ 程度とができる。この容量は4個のボンディングパッドa, b, c, dを介して接続されるオフチップ回路が検出するのに充分な大きさである。これらのデバイスは校正を行うことなく圧力特性に対する感知容量の±10%誤差仕様に適合するよう製造することができる。この特徴によりセンサコストは著しく低減される。

#### 【0012】設計例

$0\sim105\text{ Pa}$  ( $0\sim14\text{ PSI}$ ) の空気圧を測定する吸気マニホールド圧力センサ(MAP)への応用では、3つの設計変数があり、それはダイアフラム幅w、その厚さt、および電極間隔dである。センサは次のいくつかの設計基準に適合しなければならない。a) センサ容量は $C_{min}$ よりも大きくなければならない、b) デバイ

スは  $P_r$  の全圧力範囲を有しかつ  $P_{ov}$  の過剰圧力に耐えなければならない、c) ダイアフラムの引込電圧は  $V_{pmin}$  よりも高くなければならない、d) 工程変動の影響を受ける荷重偏位曲線の可変性は閾値  $e_0$  よりも低くなければならない。さらに、コスト低減のために面積およびコストを最小限に抑えなければならない。

\*

\* 【0013】センサ設計問題は等号および不等号の拘束を有する最適化問題として処理することができる。ダイアフラム残留応力を無視すると、その中心荷重偏位曲線を定める等式は次のように表わされる。

【0014】

【数1】

(1)

$$z_m \approx \frac{\alpha w^4 P}{D}, \quad D = \frac{Et^3}{12(1-\nu^2)}$$

電極ギャップは  $d = Z_m (P_r)$  の基準により設計され 10 \* 【0015】  
る。

\* 【数2】

(2)

$$d = \frac{\alpha w^4 P_r}{D}$$

このダイアフラムの破壊はその幅  $w$  とは無関係である。  
ダイアフラムが破壊するのはその最大応力が破壊応力に等しく、その偏位が  $d$  に等しい時である。プレートの破★

★壊を防止するには次の条件が満されなければならない。

【0016】

【数3】

(3)

$$\left(\frac{w}{t}\right) \leq \sqrt{\frac{\sigma_f}{\beta P_{ov}}}$$

(2) および(3) 式を使用しあつ  $P_r = P_{ov}$  を使用すれば、  $w$  が消去されて次の関係が得られ。 ☆ 【0017】  
☆ 【数4】

(4)

$$d \leq \left( \frac{12 \alpha (1-\nu^2) \sigma_f^2}{\beta^2 P_{ov} E} \right) t$$

これを(2) 式と組み合せると次のような関係が得られる。 ◆ 【0018】  
◆ 【数5】

(5)

$$\left(\frac{w}{t}\right) \leq \left( \frac{\sigma_f^2}{\beta^2 P_r P_{ov}} \right)^{1/4}$$

\* 【数6】

センサの容量は次式で示され。

【0019】

\*

(6)

$$C = \frac{e_0 w^2}{d} \geq C_{min}$$

これを(2) 式と組み合せると拘束は次式で表わされる。 ☆ 【数7】  
【0020】

\*

(7)

$$w = \sqrt{\frac{e_0 E t^3}{12 \alpha C_{min} P_r (1-\nu^2)}}$$

この設計では、偏位ダイアフラムは頂部電極であるため、引込電圧はその厚さに依存し、

\* 【0021】  
★ 【数8】

(8)

$$V_p \approx \frac{64}{7} \sqrt{\frac{E t^3 d^3}{5(1-\nu^2) w^4 e_0}} \geq V_{pmin}$$

この結果を(2) 式と結びつけると、新しい拘束は次のように表わされる。

【0022】  
【数9】

$$(9) \quad w = \frac{(5\epsilon_0)^{1/8} (7V_{p_{min}} E)^{1/4}}{(64)^{1/4} (1728 \alpha^3 P_r^3)^{1/8}} t^{3/4}$$

(後記する) (17)～(20)式を使用すると、最大偏位の総相対誤差は次式で表わされる。

\* 【0023】  
\* 【数10】

$$(10) \quad \epsilon_{rel} \approx \left( 16 \left( \frac{\Delta w}{w} \right)^2 + 9 \left( \frac{\Delta t}{t} \right)^2 + \left( \frac{\Delta d}{d} \right)^2 + \left( \frac{\Delta E}{E} \right)^2 \right)^{1/2} \leq \epsilon_0$$

モダンなシリコン工程では、SOIシリコンのヤング率は1%以内に調整することができる。堆積された膜については $\Delta t/t$ および $\Delta d/d$ は一定となることに注意されたい。幅変動 $\Delta w \approx 1 \sim 2 \mu m$ は一定でありリソグラフィ工程により制限される。したがって、(10)式は最小幅限界を設定することに等しい。もう一つの拘束はダイアフラムの最大厚である。大概の実用上の目的に対して、 $t \leq 4 \text{ mm}$ 厚である。 $200 \text{ nm}$ の最小電極ギャップ距離限界による拘束は次式で表わされる。

\* 【0024】  
10 【数11】

$$(11) \quad w = \sqrt{\frac{C_{min} d_{min}}{\epsilon_0}}$$

主センサデバイスプラス対応する基準キャパシタの面積は次式で表わされ。

【0025】  
\* 【数12】

$$(12) \quad A_c \approx (w + 3r + c + p)(2w + 3r + c)$$

ここに、 $r$ はチップの外縁であり、 $P$ はボンディングパッドの幅( $\approx 100 \mu m$ )である。この設計では、電極間ギャップは達成可能な最大埋込酸化物により制限される。イオン打込みされたSOI膜の電流限界はおよそ $d \star$

$20 \star_{max} = 0.4 \mu m$ である。この拘束を(2)式と結びつけるともう一つの式が得られる。

【0026】  
【数13】

$$(13) \quad w \geq \left( \frac{d_{max} E}{12 \alpha (1 - \nu^2) P_r} \right)^{1/4} t^{3/4}$$

大概の実用上の目的に対して、最小幅は $C_{min}$ 拘束および引込み拘束により定まる。(7)式および(9)式を等しくすると次式が得られる。

★ 【0027】  
【数14】

(14)

$$w \propto \sqrt{\frac{C_{min} V_{p_{min}}}{P_r}}$$

したがって、ダイアフラム幅は $C_{min}$ および $V_{p_{min}}$ 拘束の幾何学平均に比例する。したがって、(14)式で $C_{min}$ もしくは $V_{p_{min}}$ のいずれかが増大する時は $w$ が増大しなければならない。

【0028】SOI絶対圧センサの設計最適化を図3にグラフで示す。曲線Aは $P_{max} = 600 \text{ MPa}$ における破壊拘束を示す。曲線BおよびCは $C_{min}$ および $V_{p_{min}}$ 拘束を示す。曲線Dは偏位誤差拘束を示し、曲線Eは $d_{min}$ 拘束を示す。曲線Fにより4mmの最大エビ厚拘束が課され、曲線Gにより(13)式の $d_{max}$ 拘束が与えられる。設計は $C_{min}$ と $V_{p_{min}}$ のトレードオフにより支配される。実現可能な設計領域はグラフの陰影をつけた領域である。P点は最適デバイス寸法を示す。

【0029】選定設計目標に対して、最適デバイスは $3.2 \mu m$ 厚の $173 \times 173 \mu m^2$ ダイアフラムを有している。電極間隔は $0.24 \text{ mm}$ でありデバイス容量は $1.1 \text{ pF}$ 、引込電圧は $12 \text{ V}$ となる。パッドおよび整

合基準キャパシタを含めたデバイスの占有面積は $0.17 \text{ mm}^2$ である。計算において低い引込電圧が許容されれば歩留りを高くすることができる。所与サイズのウェーハから得られるこの多数のデバイスはバルクマイクロマシン設計で得られるものより2桁も多く、したがってコストが低減される。

#### 40 【0030】製作工程

本発明による製造工程を一般的に図4～図15に示す。工程は好ましくはシリコンである半導体基板30と、二酸化シリコンもしくは他の同様な犠牲材の中間層と、

(100)格子配向を有するシリコンの頂部層20aを有するSOIウェーハで開始される。アライメントキーリソグラフィが実施されSOIシリコンがSF6 : C2ClF5リアクタ内で選定領域の酸化物31までエッチングされシリコン薄膜20aは残される。露出された酸化物31は次に5:1 BHF中でエッティングされる。

50 ホトレジストが剥離されてサンプルはピラニア洗浄され

る。

【0031】次に(図示せぬ)ホトレジス・マスクを使用してウェルリソグラフィが実施される。ウェーハの露出領域にリンが打込まれて図4に示すウェルが形成される。レジストを剥離した後で、ウェーハを洗浄して短いアニールを行い打込みを行ったSOIシリコンを再結晶させる。次にSOIウェーハから残留シリコン20a上にエピタキシャルシリコン20を成長させ、図5に示す実施例に対する所望のダイアフラム厚を得る。高い強度および公知の変形耐力を有するダイアフラムを形成するためにSOIシリコンの最上層と連続格子状に付加シリコンを形成する。ダイアフラムをリソグラフィックに画定しプラズマSF<sub>6</sub>:C<sub>2</sub>C<sub>1</sub>F<sub>5</sub>リアクタ内で埋込酸化物31までエッティングする。ホトレジストを除去して埋込酸化物をパターン化する。次に露出領域内の酸化物31を5:1 BHF中でエッティングしてアンカー領域42を生成する。次にウェーハをピラニア(H<sub>2</sub>S O<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>)溶液中で洗浄し全面にわたって低応力SiNの100nm薄層36を堆積して図6の構造を得る。

【0032】次にトランジューサのパッシベーションを形成する2μmのLTO層40を堆積する。酸化物40がアンカー領域42に充填されダイアフラムアンカー43を形成するダイアフラム20の露出周辺領域に重畠して付着される。LTO40によりダイアフラム20の周辺が基板30に対して封止され、さらにLTO40はダイアフラム空洞を形成するために後に犠牲酸化物31を除去する時にダイアフラムを支持するのに充分堅固にダイアフラム20の最上面へ付着される。LTO40はパターン化されかつダイアフラム20の一般的領域から5:1 BHFによりエッティングされる。次に、サンプルは洗浄されて第2の窒化物層56が堆積され、図7の構造が得られる。

【0033】200nmのLTO薄層がウェーハ上に堆積され窒化物を除去するためのマスクとして使用される。LTOは5:1 BHF中でエッティングされ、ホトレジストが除去され、窒化物がH<sub>3</sub>PO<sub>4</sub>の熱浴によりウェットエッティングされる。次にエピタキシャルシリコン20が3:33:64 NH<sub>4</sub>F:H<sub>2</sub>O:HN<sub>3</sub>溶液中で犠牲エッチホール42を形成する電極間酸化物31までエッティングされる。ウェーハがピラニア液中で洗浄され次に犠牲電極間酸化物31が全て除去されるまで濃縮HFウェットエッティング溶液中に浸漬されてダイアフラム空洞28が形成される。ダイアフラム空洞28は元のSOIウェーハ上の犠牲酸化物層31と実質的に同じ厚さ寸法を有し、それはおよそ0.2~1.0μmの範囲とすることができます。ウェット溶液中でリンスしピラニア液中で洗浄した後で、サンプルを凍結乾燥工程へ通してダイアフラム空洞28内の任意の残留液体が固化される。次に液体を蒸発により除去する場合に生じるダイ

アフラム20の毛管作用による偏位を防止するためにダイアフラム空洞28内の固体が昇華により除去される。この工程により図8の構造が得られる。

【0034】次に拡散炉内にウェーハを配置し基板上面34bおよびダイアフラム20の下面20bを含むダイアフラム空洞28形成面内へ950°Cの温度で1時間n+層が拡散され、感知キャバシタの2個の間隔のとられた拡散導電電極素子34b、20bが形成される。これらの電極は良好に画定されまた拡散工程の固有の性質により厳しい製造公差とすることができます。次にウェーハをピラニア洗浄し10:1 H<sub>2</sub>HF中でエッティングを行って任意の残留酸化物が除去される。次に、ウェーハを凍結乾燥し乾燥酸素中で酸化させておよそ10nm酸化物を得る。10nmの低応力LPCVD窒化物層52をウェーハ上に成長させる。この窒化物層52はダイアフラム空洞28の内側を被覆してセンサ電極が短絡しないよう絶縁する。これにより図9の構造が得られる。

【0035】次にウェーハをPECVD SiO<sub>2</sub>リアクタ内に配置して0.5μの酸化物層76をウェーハ上に堆積させる。PECVD酸化物76によりダイアフラム空洞28の内側を被覆することなくエッチ孔42が封止される。PECVD酸化物がパターン化され5:1 BHFによりエッティングされる。ウェーハはピラニア液中で洗浄され、100nmの低応力窒化物78がウェーハ上に堆積される。次に200nmのLTO薄層がウェーハ上に堆積される。次に、コンタクト孔リソグラフィが実施される。LTOが5:1 BHF中でエッティングされる。ホトレジストが除去されウェーハがピラニア液中で洗浄される。短い25:1 HFディップおよびリンスの後で、ウェーハをH<sub>3</sub>PO<sub>4</sub>熱浴に浸漬させて下層窒化物78を除去する。LTOを5:1 BHF中で除去するとコンタクト孔83および図10に示す一般的構造が得られる。ウェーハを5:1 BHF中にさらに2分浸漬させてコンタクト孔の埋込酸化物が除去される。次にサンプル上にリンの高ドーズイオン打込みを行って図11に示すコンタクト拡散84を形成する。

【0036】次にウェーハに短いアニールを行って打込みドーパントを活性化させる。短い25:1 HFディップを行った後で、メタルリソグラフィを実施してA1S<sub>i</sub>層を残しそれをアルミニウムエッチャントでエッティングしてA1S<sub>i</sub>パッド88および図12に示す一般的構造が得られる。アセトン中のレジストを除去した後で、成形ガス環境内でウェーハを400°Cで30分間焼結させる。

【0037】工程のこのステップまでは、ウェーハ上のセンサは全て一緒に処理される。ここで、同じウェーハ上の隣接センサ対が識別され一方は感知容量素子100として支持され他方は基準容量素子200として支持される。基準キャバシタ200には通気孔92があけられる。最初に、通気孔リソグラフィを実施しつつSF<sub>6</sub>ブ

ラズマにより窒化物をPECVD酸化物までエッティングする。次に5:1 HBF<sub>4</sub>によりシールのPECVD酸化物76を除去する。アセトン中のホトレジストを除去してリーンした後で、図13に示すようにウェーハを凍結乾燥させる。

【0038】次にウェーハ上でガス浸透ポリイミドの薄層をスピンドルで呼吸を許しながら基準容量センサ20のアクセス孔92を封止する。この工程により感知キャバシタ100の完全封止ダイアフラム空洞28に較べて、呼吸可能なダイアフラム空洞228が形成される。ソフトフェイク(soft fake)の後で、ウェーハ上に一層のホトレジストがスピンドルで実施される。ウェーハ上に堆積されたホトレジストによりポリイミドが腐蝕される。次にアセトンによりホトレジストを除去しアクセス孔92内に残るポリイミドシール276はそのまま残す。次に300°Cで1時間ポリイミドを硬化すると図14に示す構造が得られる。

【0039】次にウェーハ上の隣接する各容量センサ100および基準センサ200素子対をダイシングしボンディングすれば図15に示す完成トランジスタが得られる。可変容量センサおよび基準容量センサは封止されたダイアフラム空洞内の封止圧に対する絶対圧の変化の独立および／もしくはレシオメトリック測定に使用することができる。基準トランジスタが封止圧トランジスタと同じ工程で製造されるため、デバイス寸法および2個のトランジスタの電気的特性は同じとなる。

【0040】SOI製造工程にはMOSFET製造工程の多くの特徴が含まれている。このコンパチブルな工程に(10~20)の僅かなステップを付加するだけでCMOS回路を付随する完全トランジスタを実現することができる。

【0041】本発明の新しいコンセプトの範囲内でトランジスタの製造方法や構造にさまざまな修正および変更を加えることができる。本発明の真の精神および範囲内に入るこのような修正や変更は全て特許請求の範囲内に入るものとする。

#### 【図面の簡単な説明】

【図1】センサからの電気信号を接続するパッドを含む実施例の平面図。

【図2】図1の線2-2に沿った容量センサおよび基準センサの正面断面図。

【図3】本発明によりセンサを最適化するのに考慮する設計上の制約を示すグラフ。

【図4】SOIウェーハ上に形成される容量センサの製造工程の第1のステップにおける容量センサの断面図。

【図5】SOIウェーハ上に形成される容量センサの製造工程の第2のステップにおける容量センサの断面図。

【図6】SOIウェーハ上に形成される容量センサの製造工程の第3のステップにおける容量センサの断面図。

【図7】SOIウェーハ上に形成される容量センサの製造工程の第4のステップにおける容量センサの断面図。

【図8】SOIウェーハ上に形成される容量センサの製造工程の第5のステップにおける容量センサの断面図。

【図9】SOIウェーハ上に形成される容量センサの製造工程の第6のステップにおける容量センサの断面図。

【図10】SOIウェーハ上に形成される容量センサの製造工程の第7のステップにおける容量センサの断面図。

【図11】SOIウェーハ上に形成される容量センサの製造工程の第8のステップにおける容量センサの断面図。

【図12】SOIウェーハ上に形成される容量センサの製造工程の第9のステップにおける容量センサの断面図。

【図13】SOIウェーハ上に形成される容量センサの製造工程の第10のステップにおける容量センサの断面図。

【図14】SOIウェーハ上に形成される容量センサの製造工程の第11のステップにおける容量センサの断面図。

【図15】SOIウェーハ上に形成される容量センサの製造工程の第12のステップにおける容量センサの断面図。

#### 【符号の説明】

100 感知キャバシタ

200 基準キャバシタ

30 228 ダイアフラム空洞

276 ポリイミドシール

20 可撓性ダイアフラム

20a 単結晶シリコン層

28 ダイアフラム空洞

30 半導体基板

31 硅酸化物層

34b 基面下面

36 低応力SiN層

40 酸化物

42 エッチ孔

43 ダイアフラムアンカー

52 窒化物層

56 窒化物層

76 酸化物層

78 低応力窒化物

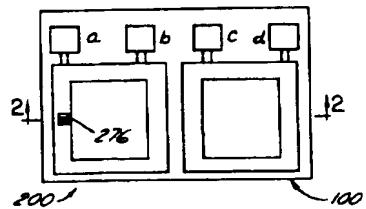
83 コンタクト孔

84 コンタクト拡散

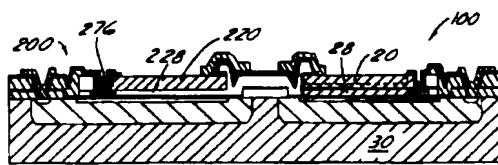
88 AlSiパッド

92 アクセス孔

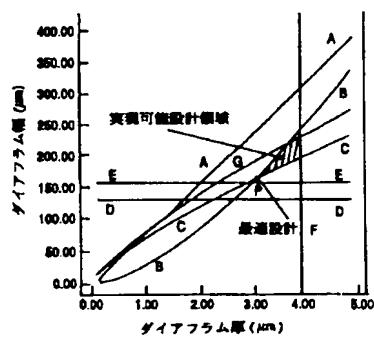
【図1】



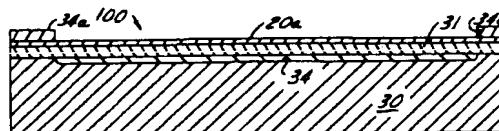
【図2】



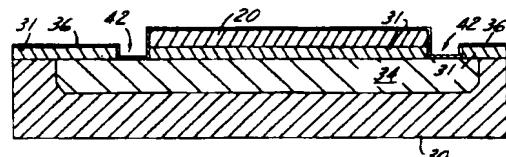
【図3】



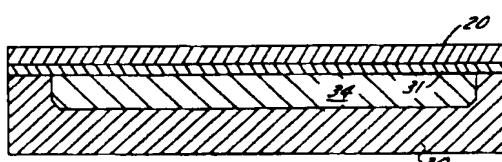
【図4】



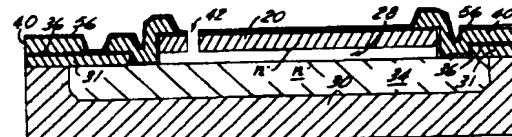
【図6】



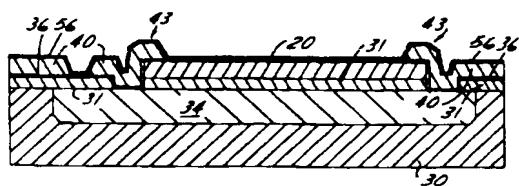
【図5】



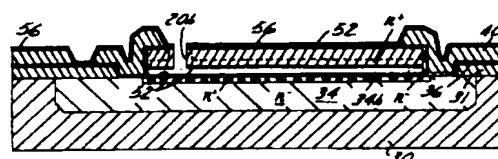
【図8】



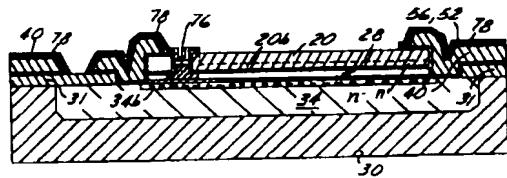
【図7】



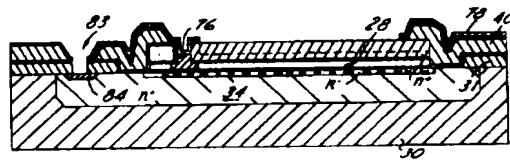
【図9】



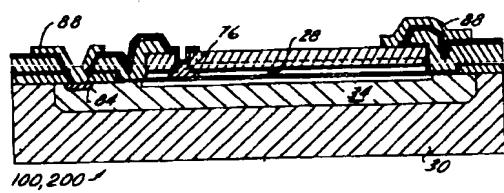
【図10】



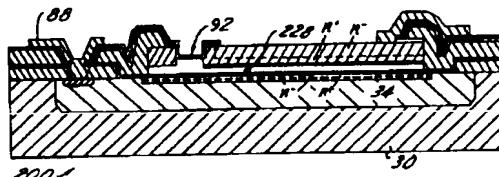
【図11】



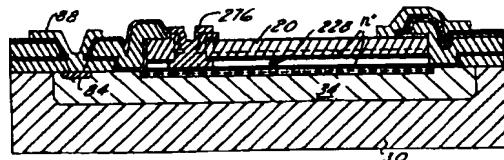
【図12】



【図13】



【図14】



【図15】

